

**AGH**AGH UNIVERSITY OF SCIENCE
AND TECHNOLOGY

Module name:	Design of CMOS integrated circuits				
Academic year:	2017/2018	Code:	JFT-1-014-s	ECTS credits:	6
Faculty of:	Physics and Applied Computer Science				
Field of study:	Technical Physics	Specialty:	—		
Study level:	First-cycle studies	Form and type of study:	Full-time studies		
Lecture language:	English	Profile of education:	Academic (A)	Semester:	0
Course homepage:	—				
Responsible teacher:	prof. dr hab. inż. Idzik Marek (idzik@fis.agh.edu.pl)				
Academic teachers:	prof. dr hab. inż. Idzik Marek (idzik@fis.agh.edu.pl) dr inż. Świątek Krzysztof (swientek@agh.edu.pl) dr inż. Fiutowski Tomasz (tomasz.fiutowski@agh.edu.pl)				

Module summary

The course allows you to acquire practical skills in the basic design of integrated digital and analog circuits.

Description of learning outcomes for module

MLO code	Student after module completion has the knowledge/ knows how to/is able to	Connections with FLO	Method of learning outcomes verification (form of completion)
Social competence			
M_K001	Student is able to make communicative presentation of his project. -- Student umie przedstawić wykonany projekt w sposób komunikatywnej prezentacji.	FT1A_K01, FT1A_K01	Report, Project, Presentation, Oral answer, Activity during classes
M_K002	Student is able to work in a team. Student is able to self-gain knowledge and abilities necessary in the project task. -- Student potrafi pracować w zespole projektowym. Potrafi samodzielnie zdobyć odpowiednią wiedzę i umiejętności niezbędne do realizacji jego części zadania zespołowego.	FT1A_K01, FT1A_K01	Participation in a discussion, Oral answer, Activity during classes
Skills			

M_U001	Student is able to design selected electronic circuit. -- Student potrafi zaprojektować wybrany układ elektroniczny.	FT1A_U06, FT1A_U06	Execution of laboratory classes, Execution of a project
M_U002	Student is able to perform DC, AC and transient simulation of electronic circuit. -- Student potrafi przeprowadzić symulacje DC, AC, Transient obwodu elektronicznego.	FT1A_U06, FT1A_U06	Execution of laboratory classes, Execution of a project
Knowledge			
M_W001	Knowledge of basics of analog and digital electronics design. -- Znajomość podstaw projektowania analogowych i cyfrowych układów elektronicznych.	FT1A_W02, FT1A_W07, FT1A_W07, FT1A_W02	Execution of laboratory classes, Execution of a project, Report, Oral answer, Examination
M_W002	Knowledge of operation of selected electronic circuits. -- Zna podstawy działania wybranych układów elektronicznych.	FT1A_W02, FT1A_W02	Execution of laboratory classes, Execution of a project, Report, Examination

FLO matrix in relation to forms of classes

MLO code	Student after module completion has the knowledge/ knows how to/is able to	Form of classes										
		Lectures	Auditorium classes	Laboratory classes	Project classes	Conversation seminar	Seminar classes	Practical classes	Fieldwork classes	Workshops	Others	E-learning
Social competence												
M_K001	Student is able to make communicative presentation of his project. -- Student umie przedstawić wykonany projekt w sposób komunikatywnej prezentacji.	-	-	+	+	-	-	-	-	-	-	-
M_K002	Student is able to work in a team. Student is able to self-gain knowledge and abilities necessary in the project task. -- Student potrafi pracować w zespole projektowym. Potrafi samodzielnie zdobyć odpowiednią wiedzę i umiejętności niezbędne do realizacji jego części zadania zespołowego.	-	-	+	+	-	-	-	-	-	-	-
Skills												
M_U001	Student is able to design selected electronic circuit. -- Student potrafi zaprojektować wybrany układ elektroniczny.	-	-	+	+	-	-	-	-	-	-	-

M_U002	Student is able to perform DC, AC and transient simulation of electronic circuit. -- Student potrafi przeprowadzić symulacje DC, AC, Transient obwodu elektronicznego.	-	-	+	+	-	-	-	-	-	-	-
Knowledge												
M_W001	Knowledge of basics of analog and digital electronics design. -- Znajomość podstaw projektowania analogowych i cyfrowych układów elektronicznych.	+	-	-	+	-	-	-	-	-	-	-
M_W002	Knowledge of operation of selected electronic circuits. -- Zna podstawy działania wybranych układów elektronicznych.	+	-	-	+	-	-	-	-	-	-	-

Module content

Lectures

Lectures discuss following topics:

- tools for design of electronic circuits (Cadence),
- selected topics from analog circuits design (e.g. operational amplifiers, stability, compensation),
- selected topics from mixed-mode circuits design (e.g. DAC converters),
- selected topics from digital circuit designs (e.g. simple FSM).

Na wykładzie omawiane są następujące zagadnienia:

- narzędzia do projektowania układów elektronicznych (pakiet Cadence),
- wybrane zagadnienia z projektowania układów elektronicznych analog (np. wzmacniacze operacyjne, stabilność i kompensacja),
- wybrane zagadnienia z projektowania układów elektronicznych typu mixed-mode, digital (np. przetworniki DAC),
- wybrane zagadnienia z projektowania układów elektronicznych typu digital (np. prosty FSM),
- projektowanie masek technologicznych (layout) układu scalonego.

Laboratory classes

Laboratory courses include:

- learning of how to use the Cadence package to design electronic circuits,
- DC, AC and transient simulation of simple electronic circuits,
- design of technological masks of simple electronic systems,
- execution of a complete project (schematic, simulation, layout) of the selected analogue electronic circuit (eg, operational amplifier),
- basic design of digital circuits.

Ćwiczenia laboratoryjne obejmują:

- poznanie i nauczenie się posługiwania pakietem Cadence, służącym do projektowania układów elektronicznych,

- wykonanie symulacji DC, AC oraz transient prostych układów elektronicznych,
- wykonanie masek technologicznych prostych układów elektronicznych,
- wykonanie pełnego projektu (schemat, symulacje, layout) wybranego analogowego układu elektronicznego (np. wzmacniacza operacyjnego),
- podstawy projektowania układów cyfrowych.

Project classes

Project includes:

- execution of the complete design (schematic, simulation, layout) of the selected electronic circuit (eg DAC).

—

Ćwiczenia projektowe obejmują:

- wykonanie pełnego projektu (schemat, symulacje, layout) wybranego układu elektronicznego (np. przetwornika DAC).

Method of calculating the final grade

Ocena końcowa (OK) obliczana jest jako średnia ważona ocen z projektu (P) oraz egzaminu (E):

$$OK = 0.7 \times P + 0.3 \times E$$

Uzyskanie pozytywnej oceny (OK) wymaga uzyskania wszystkich pozytywnych ocen cząstkowych (L, E).

Prerequisites and additional requirements

Znajomość podstawowych układów elektronicznych na poziomie zgodnym z przedmiotem „Układy elektroniczne”

Recommended literature and teaching resources

B. Razavi “Design of analog CMOS integrated circuits”

Scientific publications of module course instructors related to the topic of the module

C. Abellan Beteta, S. Bugiel, R. Dasgupta, M. Firlej, T. Fiutowski, M. Idzik, C. Kane, J. Moron, K. Swientek, J. Wang, 8-channel prototype of SALT readout ASIC for Upstream Tracker in the upgraded LHCb experiment, JINST 12 (2017) C02007

S. Bugiel, R. Dasgupta, M. Firlej, T. Fiutowski, M. Idzik, M. Kopeć, J. Moroń, K. Świentek, Ultra-Low Power Fast Multi-Channel 10-Bit ADC ASIC for Readout of Particle Physics Detectors, IEEE Transactions on Nuclear Science, vol 63, no 5 pp. 2622-2631

Sz. Bugiel, R. Dasgupta, M. Firlej, T. Fiutowski, M. Idzik, M. Kuczynska, J. Moron, K. Swientek, T. Szumlak, SALT, a dedicated readout chip for high precision tracking silicon strip detectors at the LHCb Upgrade, JINST 11 (2016) C02028M

D. Przyborowski, T. Fiutowski, M. Idzik, M. Kajetanowicz, G. Korcyl, P. Salabura, J. Smyrski, P. Strzempek, K. Swientek, P. Terlecki, J. Tokarz, Development of a dedicated front-end electronics for straw tube trackers in the PANDA experiment, Journal of Instrumentation, JINST 11 P08009 2016

M. Firlej, T. Fiutowski, M. Idzik, J. Moron, K. Swientek, Development of a low power Delay-Locked Loop in two 130 nm CMOS technologies, JINST 11 (2016) C02027

Firlej, T. Fiutowski, M. Idzik, J. Moron, K. Swientek, A wide range ultra-low power Phase-Locked Loop with automatic frequency setting in 130 nm CMOS technology for data serialisation, JINST 10 (2015)P12015, 1-16

M. Firlej, T. Fiutowski, M. Idzik, S. Kulis, J. Moron, K. Swientek, A fast, ultra-low and frequency-scalable power consumption, 10-bit SAR ADC for particle physics detectors, JINST 10 (2015) P11012

M. Firlej, T. Fiutowski, M. Idzik, J. Moroń and K. Świentek, Development of scalable frequency and power Phase-Locked Loop in 130 nm CMOS technology, Journal of Instrumentation, JINST 9 C02006, February 2014

M. Firlej, T. Fiutowski, M. Idzik, J. Moroń and K. Świentek, A fast, low-power, 6-bit SAR ADC for readout of strip detectors in the LHCb Upgrade experiment, Journal of Instrumentation, JINST 9 P07006, July 2014

M. Firlej, T. Fiutowski, M. Idzik, J. Moron, K. Swientek, A fast, low-power, multichannel 6-bit ADC ASIC

with data serialisation, Proceedings of Science by SISSA, PoS(TIPP2014)

D. Przyborowski, M. Idzik, Development of Low-Power Small-Area L-2L CMOS DACs for multichannel readout systems, Journal of Instrumentation, JINST 7 C01026, January 2012

J Moron, M Firlej, M Idzik, Development of low power Phase-Locked Loop (PLL) and PLL-based transceiver, Journal of Instrumentation, JINST 7 C01099, January 2012

Sz. Kulis, A. Matoga, M. Idzik, K. Świentek, T. Fiutowski, D. Przyborowski, A general purpose multichannel readout system for radiation detectors, Journal of Instrumentation, JINST 7 T01004, January 2012

M. Idzik, K. Świentek, T. Fiutowski, S. Kulis, D. Przyborowski, A 10-bit Multichannel Digitizer ASIC for Detectors in Particle Physics Experiments, IEEE Transaction on Nuclear Science, vol. 59, no 2, pp. 294-302, 2012

Sz. Kulis, M. Idzik, Triggerless Readout with Time and Amplitude Reconstruction of Event Based on Deconvolution Algorithm, Acta Physica Polonica B, Proceedings Supplement, Vol. 4, No. 1 p.49-58, 2011

J. Moroń, M. Firlej, M. Idzik, Development of Fast Transceiver for Serial Data Transmission in Luminosity Detector at Future Linear Collider, Acta Physica Polonica B, Proceedings Supplement, Vol. 4, No. 1 p.41-48, 2011

M. Idzik, K. Swientek, T. Fiutowski, S. Kulis, P. Ambalathankandy, A power scalable 10-bit pipeline ADC for Luminosity Detector at ILC, JINST 6 P01004 2011

M Idzik, K Swientek, Sz. Kulis, Development of pipeline ADC for the Luminosity Detector at ILC, JINST 5 P04006 2010

D. Przyborowski, M. Idzik, A 10-bit Low-Power Small-Area High-Swing CMOS DAC, IEEE Transactions on Nuclear Science, Vol. 57, No 1, pp 292-299, 2010

M. Idzik, Sz. Kulis, D. Przyborowski, Development of front-end electronics for the luminoisty detector at ILC, Nucl. Instr. and Meth. A 608 (2009) pp.169-174

P. Gryboś, M. Idzik, P. Maj, Noise optimization of charge amplifiers with MOS input transistors operating in moderate inversion region for short peaking times, IEEE Transactions on Nuclear Science (2007) vol. 54 no. 3, 555-560

P. Grybos, M. Idzik, A. Skoczen, Design of low noise charge amplifier in sub-micron technology for fast shaping time, Analog Integr Circ S 49 (2): 107-114 Nov 2006

Additional information

I – Sposób i tryb wyrównania zaległości powstałych wskutek nieobecności studenta na zajęciach:

zajęcia laboratoryjne, komputerowe, projektowe, seminaryjne:

Nieobecność na jednych zajęciach laboratoryjnych wymaga od studenta samodzielnego opanowania przerabianego na tych zajęciach materiału. Nieobecność na więcej niż jednych zajęciach wymaga od studenta samodzielnego opanowania przerabianego na tych zajęciach materiału i jego zaliczenia w formie pisemnej w wyznaczonym przez prowadzącego terminie, lecz nie później jak w ostatnim tygodniu trwania zajęć.

Student który bez usprawiedliwienia opuścił więcej niż 10% zajęć i jego cząstkowe wyniki w nauce były negatywne może zostać pozbawiony, przez prowadzącego zajęcia, możliwości wyrównania zaległości.

Obecność na wykładzie: zgodnie z Regulaminem Studiów AGH.

II – Zasady zaliczania zajęć:

zajęcia laboratoryjne, komputerowe, projektowe: Podstawowym terminem uzyskania zaliczenia jest koniec zajęć w danym semestrze. Student może przystąpić do poprawkowego zaliczenia.

Student który bez usprawiedliwienia opuścił więcej niż 10% zajęć i jego cząstkowe wyniki w nauce były negatywne może zostać pozbawiony, przez prowadzącego zajęcia, możliwości poprawkowego zaliczania zajęć.

Student workload (ECTS credits balance)

Student activity form	Student workload
Participation in lectures	15 h
Participation in laboratory classes	30 h
Preparation for classes	15 h
Participation in project classes	15 h
Completion of a project	60 h
Realization of independently performed tasks	15 h
Summary student workload	150 h
Module ECTS credits	6 ECTS