

**AGH**AGH UNIVERSITY OF SCIENCE
AND TECHNOLOGY

Nazwa modułu: Projektowanie układów scalonych w technologii CMOS 2

Rok akademicki: 2017/2018 Kod: JFT-1-015-s Punkty ECTS: 4

Wydział: Fizyki i Informatyki Stosowanej

Kierunek: Fizyka Techniczna Specjalność: —

Poziom studiów: Studia I stopnia Forma i tryb studiów: Stacjonarne

Język wykładowy: Polski Profil kształcenia: Ogólnoakademicki (A) Semestr: 0

Strona www: —

Osoba odpowiedzialna: prof. dr hab. inż. Idzik Marek (idzik@fis.agh.edu.pl)

Osoby prowadzące: prof. dr hab. inż. Idzik Marek (idzik@fis.agh.edu.pl)
dr inż. Świentek
Krzysztof (swientek@agh.edu.pl)
dr inż. Fiutowski Tomasz (tomasz.fiutowski@agh.edu.pl)

Krótką charakterystyka modułu

Powyższe zajęcia powinny pozwolić studentowi uzyskać doświadczenie w projektowaniu bardziej skomplikowanych układów CMOS.

Opis efektów kształcenia dla modułu zajęć

Kod EKM	Student, który zaliczył moduł zajęć wie/umie/potrafi	Powiązania z EKK	Sposób weryfikacji efektów kształcenia (forma zaliczeń)
Wiedza			
M_W001	Zna podstawy działania wybranych układów elektronicznych typu mixed-mode	FT1A_W02	Wykonanie ćwiczeń laboratoryjnych, Wykonanie projektu, Sprawozdanie, Egzamin
M_W002	Znajomość podstaw projektowania układów elektronicznych typu mixed-mode	FT1A_W02, FT1A_W07	Wykonanie ćwiczeń laboratoryjnych, Wykonanie projektu, Sprawozdanie, Odpowiedź ustna, Egzamin
Umiejętności			
M_U001	Student potrafi przeprowadzić symulacje obwodu elektronicznego typu mixed-mode	FT1A_U06	Wykonanie ćwiczeń laboratoryjnych, Wykonanie projektu
M_U002	Student potrafi zaprojektować wybrany układ elektroniczny typu mixed-mode	FT1A_U01	Wykonanie ćwiczeń laboratoryjnych, Wykonanie projektu
Kompetencje społeczne			

M_K001	Student potrafi pracować w zespole projektowym. Potrafi samodzielnie zdobyć odpowiednią wiedzę i umiejętności niezbędne do realizacji jego części zadania zespołowego.	FT1A_K01	Udział w dyskusji, Odpowiedź ustna, Aktywność na zajęciach
M_K002	Student umie przedstawić wykonany projekt w sposób komunikatywnej prezentacji.	FT1A_K01	Sprawozdanie, Projekt, Prezentacja, Odpowiedź ustna, Aktywność na zajęciach

Matryca efektów kształcenia w odniesieniu do form zajęć

Kod EKM	Student, który zaliczył moduł zajęć wie/umie/potrafi	Forma zajęć										
		Wykład	Ćwiczenia audytoryjne	Ćwiczenia laboratoryjne	Ćwiczenia projektowe	Konwersatorium	Zajęcia seminaryjne	Zajęcia praktyczne	Zajęcia terenowe	Zajęcia warsztatowe	Inne	E-learning
Wiedza												
M_W001	Zna podstawy działania wybranych układów elektronicznych typu mixed-mode	+	-	-	-	-	-	-	-	-	-	-
M_W002	Znajomość podstaw projektowania układów elektronicznych typu mixed-mode	+	-	-	-	-	-	-	-	-	-	-
Umiejętności												
M_U001	Student potrafi przeprowadzić symulacje obwodu elektronicznego typu mixed-mode	-	-	+	-	-	-	-	-	-	-	-
M_U002	Student potrafi zaprojektować wybrany układ elektroniczny typu mixed-mode	-	-	+	-	-	-	-	-	-	-	-
Kompetencje społeczne												
M_K001	Student potrafi pracować w zespole projektowym. Potrafi samodzielnie zdobyć odpowiednią wiedzę i umiejętności niezbędne do realizacji jego części zadania zespołowego.	-	-	+	-	-	-	-	-	-	-	-
M_K002	Student umie przedstawić wykonany projekt w sposób komunikatywnej prezentacji.	-	-	+	-	-	-	-	-	-	-	-

Treść modułu zajęć (program wykładów i pozostałych zajęć)

Wykład

Na wykładzie omawiane są następujące zagadnienia:

- zaawansowane narzędzia projektowania układów elektronicznych, w szczególności układów cyfrowych
- wybrane zagadnienia z projektowania układów elektronicznych typu analog, mixed-mode, digital (np. przetworniki DAC)
- projektowanie masek technologicznych (layout) układu scalonego

Ćwiczenia laboratoryjne

ćwiczenia laboratoryjne obejmują:

- poznanie i nauczenie się posługiwania zaawansowanymi narzędziami do projektowania układów elektronicznych, w szczególności do projektowania i syntezy układów cyfrowych
- wykonanie symulacji wybranego układu elektronicznego typu mixed-mode
- wykonanie masek technologicznych wybranego układu elektronicznego
- wykonanie pełnego projektu (schemat, symulacje, layout/autolayout) wybranego układu elektronicznego (np. przetwornika DAC)

Sposób obliczania oceny końcowej

Ocena końcowa (OK) obliczana jest jako średnia ważona ocen z laboratorium (L) oraz egzaminu (E):

$$OK = 0.7 \times L + 0.3 \times E$$

Uzyskanie pozytywnej oceny (OK) wymaga uzyskania wszystkich pozytywnych ocen cząstkowych (L, E).

Wymagania wstępne i dodatkowe

Znajomość podstawowych układów elektronicznych na poziomie zgodnym z przedmiotem „CMOS I”

Zalecana literatura i pomoce naukowe

Nie podano zalecanej literatury lub pomocy naukowych.

Publikacje naukowe osób prowadzących zajęcia związane z tematyką modułu

C. Abellan Beteta, S. Bugiel, R. Dasgupta, M. Firlej, T. Fiutowski, M. Idzik, C. Kane, J. Moron, K. Swientek, J. Wang, 8-channel prototype of SALT readout ASIC for Upstream Tracker in the upgraded LHCb experiment, JINST 12 (2017) C02007

S. Bugiel, R. Dasgupta, M. Firlej, T. Fiutowski, M. Idzik, M. Kopeć, J. Moroń, K. Świentek, Ultra-Low Power Fast Multi-Channel 10-Bit ADC ASIC for Readout of Particle Physics Detectors, IEEE Transactions on Nuclear Science, vol 63, no 5 pp. 2622-2631

Sz. Bugiel, R. Dasgupta, M. Firlej, T. Fiutowski, M. Idzik, M. Kuczynska, J. Moron, K. Swientek, T. Szumlak, SALT, a dedicated readout chip for high precision tracking silicon strip detectors at the LHCb Upgrade, JINST 11 (2016) C02028M

D. Przyborowski, T. Fiutowski, M. Idzik, M. Kajetanowicz, G. Korcyl, P. Salabura, J. Smyrski, P. Strzempek, K. Swientek, P. Terlecki, J. Tokarz, Development of a dedicated front-end electronics for straw tube trackers in the PANDA experiment, Journal of Instrumentation, JINST 11 P08009 2016

M. Firlej, T. Fiutowski, M. Idzik, J. Moron, K. Swientek, Development of a low power Delay-Locked Loop in two 130 nm CMOS technologies, JINST 11 (2016) C02027

Firlej, T. Fiutowski, M. Idzik, J. Moron, K. Swientek, A wide range ultra-low power Phase-Locked Loop with automatic frequency setting in 130 nm CMOS technology for data serialisation, JINST 10 (2015)P12015, 1-16

M. Firlej, T. Fiutowski, M. Idzik, S. Kulis, J. Moron, K. Swientek, A fast, ultra-low and frequency-scalable power consumption, 10-bit SAR ADC for particle physics detectors, JINST 10 (2015) P11012

M. Firlej, T. Fiutowski, M. Idzik, J. Moroń and K. Świentek, Development of scalable frequency and power Phase-Locked Loop in 130 nm CMOS technology, Journal of Instrumentation, JINST 9 C02006, February 2014

M. Firlej, T. Fiutowski, M. Idzik, J. Moroń and K. Świentek, A fast, low-power, 6-bit SAR ADC for readout of strip detectors in the LHCb Upgrade experiment, Journal of Instrumentation, JINST 9 P07006, July 2014

M. Firlej, T. Fiutowski, M. Idzik, J. Moron, K. Swientek, A fast, low-power, multichannel 6-bit ADC ASIC

with data serialisation, Proceedings of Science by SISSA, PoS(TIPP2014)

D. Przyborowski, M. Idzik, Development of Low-Power Small-Area L-2L CMOS DACs for multichannel readout systems, Journal of Instrumentation, JINST 7 C01026, January 2012

J Moron, M Firlej, M Idzik, Development of low power Phase-Locked Loop (PLL) and PLL-based transceiver, Journal of Instrumentation, JINST 7 C01099, January 2012

Sz. Kulis, A. Matoga, M. Idzik, K. Świątek, T. Fiutowski, D. Przyborowski, A general purpose multichannel readout system for radiation detectors, Journal of Instrumentation, JINST 7 T01004, January 2012

M. Idzik, K. Świątek, T. Fiutowski, S. Kulis, D. Przyborowski, A 10-bit Multichannel Digitizer ASIC for Detectors in Particle Physics Experiments, IEEE Transaction on Nuclear Science, vol. 59, no 2, pp. 294-302, 2012

Sz. Kulis, M. Idzik, Triggerless Readout with Time and Amplitude Reconstruction of Event Based on Deconvolution Algorithm, Acta Physica Polonica B, Proceedings Supplement, Vol. 4, No. 1 p.49-58, 2011

J. Moroń, M. Firlej, M. Idzik, Development of Fast Transceiver for Serial Data Transmission in Luminosity Detector at Future Linear Collider, Acta Physica Polonica B, Proceedings Supplement, Vol. 4, No. 1 p.41-48, 2011

M. Idzik, K. Swiatek, T. Fiutowski, S. Kulis, P. Ambalathankandy, A power scalable 10-bit pipeline ADC for Luminosity Detector at ILC, JINST 6 P01004 2011

M Idzik, K Swiatek, Sz. Kulis, Development of pipeline ADC for the Luminosity Detector at ILC, JINST 5 P04006 2010

D. Przyborowski, M. Idzik, A 10-bit Low-Power Small-Area High-Swing CMOS DAC, IEEE Transactions on Nuclear Science, Vol. 57, No 1, pp 292-299, 2010

M. Idzik, Sz. Kulis, D. Przyborowski, Development of front-end electronics for the luminosity detector at ILC, Nucl. Instr. and Meth. A 608 (2009) pp.169-174

P. Gryboś, M. Idzik, P. Maj, Noise optimization of charge amplifiers with MOS input transistors operating in moderate inversion region for short peaking times, IEEE Transactions on Nuclear Science (2007) vol. 54 no. 3, 555-560

P. Grybos, M. Idzik, A. Skoczen, Design of low noise charge amplifier in sub-micron technology for fast shaping time, Analog Integr Circ S 49 (2): 107-114 Nov 2006

Informacje dodatkowe

I – Sposób i tryb wyrównania zaległości powstałych wskutek nieobecności studenta na zajęciach:

zajęcia laboratoryjne, komputerowe, projektowe, seminaryjne:

Nieobecność na jednych zajęciach laboratoryjnych wymaga od studenta samodzielnego opanowania przerabianego na tych zajęciach materiału. Nieobecność na więcej niż jednych zajęciach wymaga od studenta samodzielnego opanowania przerabianego na tych zajęciach materiału i jego zaliczenia w formie pisemnej w wyznaczonym przez prowadzącego terminie, lecz nie później jak w ostatnim tygodniu trwania zajęć.

Student który bez usprawiedliwienia opuścił więcej niż 10% zajęć i jego cząstkowe wyniki w nauce były negatywne może zostać pozbawiony, przez prowadzącego zajęcia, możliwości wyrównania zaległości.

Obecność na wykładzie: zgodnie z Regulaminem Studiów AGH.

II – Zasady zaliczania zajęć:

zajęcia laboratoryjne, komputerowe, projektowe: Podstawowym terminem uzyskania zaliczenia jest koniec zajęć w danym semestrze. Student może przystąpić do poprawkowego zaliczenia.

Student który bez usprawiedliwienia opuścił więcej niż 10% zajęć i jego cząstkowe wyniki w nauce były negatywne może zostać pozbawiony, przez prowadzącego zajęcia, możliwości poprawkowego zaliczania zajęć.

Nakład pracy studenta (bilans punktów ECTS)

Forma aktywności studenta	Obciążenie studenta
Udział w wykładach	15 godz
Udział w ćwiczeniach laboratoryjnych	30 godz
Przygotowanie do zajęć	28 godz
Wykonanie projektu	28 godz
Samodzielne studiowanie tematyki zajęć	10 godz
Egzamin lub kolokwium zaliczeniowe	1 godz
Sumaryczne obciążenie pracą studenta	112 godz
Punkty ECTS za moduł	4 ECTS