

**AGH**AGH UNIVERSITY OF SCIENCE
AND TECHNOLOGY

Nazwa modułu: Projektowanie Systemów Cyfrowych

Rok akademicki: 2017/2018 Kod: JFT-2-046-s Punkty ECTS: 5

Wydział: Fizyki i Informatyki Stosowanej

Kierunek: Fizyka Techniczna Specjalność: —

Poziom studiów: Studia II stopnia Forma i tryb studiów: Stacjonarne

Język wykładowy: Polski Profil kształcenia: Ogólnoakademicki (A) Semestr: 0

Strona www: <http://www.fis.agh.edu.pl/~skoczen/hdl>

Osoba odpowiedzialna: dr inż. Skoczeń
Andrzej (skoczen@fis.agh.edu.pl)

Osoby prowadzące: dr hab. inż. Mindur
Bartosz (mindur@agh.edu.pl)
dr inż. Skoczeń
Andrzej (skoczen@fis.agh.edu.pl)
dr inż. Świątek
Krzysztof (swientek@agh.edu.pl)

Krótką charakterystyka modułu

Przedmiot rozwija wiedzę i umiejętności projektowania układów cyfrowych z zastosowaniem nowoczesnych technologii FPGA i ASIC.

Opis efektów kształcenia dla modułu zajęć

Kod EKM	Student, który zaliczył moduł zajęć wie/umie/potrafi	Powiązania z EKK	Sposób weryfikacji efektów kształcenia (forma zaliczeń)
Wiedza			
M_W001	Student biegle zna syntaktykę języka Verilog i zadowalająco języka VHDL. Rozumie znaczenie wymienionych i innych języków opisu sprzętu w przebiegu projektowania urządzeń.	FT2A_W08, FT2A_W02	Aktywność na zajęciach, Kolokwium, Udział w dyskusji

M_W002	Student zna i rozumie podstawowe pojęcia omawiane w ramach wykładu dotyczące analizy i syntezy kombinacyjnych i sekwencyjnych układów cyfrowych. Zna również podstawowe sprzętowe architektury układów sterowania i ścieżki przetwarzania danych.	FT2A_W08, FT2A_W02	Aktywność na zajęciach, Udział w dyskusji
M_W003	Student dysponuje aktualną wiedzą na temat technologii produkcji cyfrowych układów scalonych wielkiej skali integracji ASIC i FPGA (CPLD). Zna również strukturę bibliotek komórek standardowych stosowanych w projektowaniu urządzeń cyfrowych.	FT2A_W08, FT2A_W02	Aktywność na zajęciach, Kolokwium, Wykonanie ćwiczeń laboratoryjnych
Umiejętności			
M_U001	Student potrafi zbudować zarówno funkcjonalny jak i syntezowalny model sprzętu. Potrafi również przeprowadzić symulację zbudowanego modelu i analizować jej wyniki.	FT2A_U08, FT2A_U11	Kolokwium, Projekt, Wykonanie projektu, Wykonanie ćwiczeń laboratoryjnych
M_U002	Student potrafi stworzyć prostą aplikację sprzętową sterowania i/lub przetwarzania danych.	FT2A_U08, FT2A_U11	Kolokwium, Sprawozdanie, Wykonanie projektu, Wykonanie ćwiczeń laboratoryjnych
Kompetencje społeczne			
M_K001	Student potrafi pracować w zespole projektowym. Potrafi samodzielnie zdobyć odpowiednią wiedzę i umiejętności niezbędne do realizacji jego części zadania zespołowego.	FT2A_K01	Sprawozdanie, Wykonanie projektu
M_K002	Student umie przedstawić wykonany projekt w sposób komunikatywnej prezentacji. Potrafi także wskazać obszary zastosowań tworzonych aplikacji i ekonomiczne aspekty zastosowanych rozwiązań.	FT2A_K01	Sprawozdanie, Wykonanie projektu

Matryca efektów kształcenia w odniesieniu do form zajęć

Kod EKM	Student, który zaliczył moduł zajęć wie/umie/potrafi	Forma zajęć										
		Wykład	Ćwiczenia audytoryjne	Ćwiczenia laboratoryjne	Ćwiczenia projektowe	Konwersatorium	Zajęcia seminaryjne	Zajęcia praktyczne	Zajęcia terenowe	Zajęcia warsztatowe	Inne	E-learning
Wiedza												

M_W001	Student biegle zna syntaktykę języka Verilog i zadowalająco języka VHDL. Rozumie znaczenie wymienionych i innych języków opisu sprzętu w przebiegu projektowania urządzeń.	+	-	-	-	-	-	-	-	-	-	-
M_W002	Student zna i rozumie podstawowe pojęcia omawiane w ramach wykładu dotyczące analizy i syntezy kombinacyjnych i sekwencyjnych układów cyfrowych. Zna również podstawowe sprzętowe architektury układów sterowania i ścieżki przetwarzania danych.	+	-	-	-	-	-	-	-	-	-	-
M_W003	Student dysponuje aktualną wiedzą na temat technologii produkcji cyfrowych układów scalonych wielkiej skali integracji ASIC i FPGA (CPLD). Zna również strukturę bibliotek komórek standardowych stosowanych w projektowaniu urządzeń cyfrowych.	+	-	-	-	-	-	-	-	-	-	-
Umiejętności												
M_U001	Student potrafi zbudować zarówno funkcjonalny jak i synteżowalny model sprzętu. Potrafi również przeprowadzić symulację zbudowanego modelu i analizować jej wyniki.	+	-	+	+	-	-	-	-	-	-	-
M_U002	Student potrafi stworzyć prostą aplikację sprzętową sterowania i/lub przetwarzania danych.	+	-	+	+	-	-	-	-	-	-	-
Kompetencje społeczne												
M_K001	Student potrafi pracować w zespole projektowym. Potrafi samodzielnie zdobyć odpowiednią wiedzę i umiejętności niezbędne do realizacji jego części zadania zespołowego.	-	-	+	+	-	-	-	-	-	-	-
M_K002	Student umie przedstawić wykonany projekt w sposób komunikatywnej prezentacji. Potrafi także wskazać obszary zastosowań tworzonych aplikacji i ekonomiczne aspekty zastosowanych rozwiązań.	-	-	+	+	-	-	-	-	-	-	-

Treść modułu zajęć (program wykładów i pozostałych zajęć)

Wykład

Język opisu sprzętu – narzędzie projektowania w mikroelektronice.

Różne języki opisu i weryfikacji sprzętu oraz obszary ich zastosowań: HDL: Verilog, VHDL, Abel, AHDL; HDVL: SystemVerilog; SLDL: SystemC, Gezel; HVL: e, OpenVera, Sugar, ForSpec, PSL. Specyfika i porównanie z językami programowania.

Automatyzacja procesu projektowania sprzętu elektronicznego. Obecne trendy.

Mikroelektronika i układy programowalne.

Mikroelektronika: historia i przyszłość. Prawo Moore'a. Sukces technologii CMOS. Pojęcie maski i warstw technologicznych. Obecny stan rozwoju i wyzwania przed technologią CMOS. Technologia układów programowalnych PLD.

Przebieg procesu projektowania układu cyfrowego.

Opceje projektowe. Poziomy abstrakcji opisu sprzętu i procesy przekształceń pomiędzy nimi. Projektowanie układu do specjalnych zastosowań (ASIC) i układu programowalnego (FPGA, CPLD). Przebieg projektu w środowisku ISE firmy Xilinx.

Teoretyczne podstawy układów logicznych.

Algebra Boole'a, funkcje logiczne i ich reprezentacje, metody minimalizacji (metoda Quine'a-McKluskeya, metoda ESSPRESSO). Synteza logiczna a synteza wysokiego poziomu.

Podstawy Verilog-a.

Konwencje językowe, typy danych, moduły, porty, konkretyzacja modułu, zadania, funkcje, dyrektywy kompilatora, typy bramek. Zadania i funkcje systemowe.

Modelowanie behavioralne w Verilog-u.

Blok sekwencyjny i równoległy, przypisanie proceduralne blokujące i nieblokujące, sterowanie przebiegów czasowych, instrukcja warunkowa, rozgałęzienia, pętle. Przygotowanie modułu testującego.

Modelowanie RTL w Verilog-u.

Modelowanie przepływu danych w Verilogu: przypisania ciągłe, opóźnienia, operatory. Modele symulacyjne a modele syntezywalne. Styl kodowania prowadzący do poprawnych wyników syntezy.

Automat skończony i mikroprogramowanie.

Rodzaje automatu (FSM): Moore'a i Mealy'ego. Style zapisu automatu w Verilogu. Kodowanie stanów automatu. Eliminacja stanów równoważnych. Automat ze ścieżką danych FSMD. Architektura mikroprogramowana. Lista rozkazów i assembler.

Inne konstrukcje Veriloga.

Modelowanie na poziomie kluczy. Dynamiczna analiza czasowa. Symulacyjna biblioteka komórek standardowych.

Synteza logiczna i statyczna analiza czasowa.

Lista konstrukcji syntetyzowalnych RTL. Biblioteki technologiczne komórek standardowych dla syntezy. Czasowe ograniczenia projektowe. Generacja i stosowanie przypisów czasowych SDF.

Wprowadzenie do VHDL-a.

Jednostka projektowa: interfejs, architektura. Porty lokalne, formalne i rzeczywiste, Definiowanie typów danych. Pakiety i ich standaryzacja. Biblioteki. Funkcje i procedury.

Podstawy VHDL-a

Operatory, przypisania transportowe i inercyjne, instrukcje warunkowe, rozgałęzione i pętle. Przykłady syntezy kodu RTL w VHDL-u.

Symulacja analogowa i cyfrowo-analogowa.

Symulatory analogowe: SPICE, Verilog-A i cyfrowo-analogowe Verilog-AMS. Behawioralne modelowanie modułów analogowych.

Układy programowalne.

Struktury PLD: ROM, PLA, PAL. Modelowanie PLD w Verilogu. Technologia połączeń programowalnych. Porównanie CPLD i FPGA. Architektura układów rodziny Spartan-3x firmy Xilinx. Podstawowe bloki funkcjonalne, ich budowa i parametry.

Przegląd bloków funkcjonalnych elektroniki cyfrowej.

Rekomendacje projektowe. Przykłady kodów w Verilog-u i VHDL-u przydatne przy syntezy i testowaniu modeli urządzeń cyfrowych.

Ćwiczenia laboratoryjne

Symulacja behawioralna w Verilog-u

Efekty kształcenia:

- student potrafi zapisać w Verilogu funkcjonalność urządzenia cyfrowego
- student potrafi posługiwać się środowiskiem projektowym ISE w stopniu pozwalającym na symulację modelu prostego cyfrowego bloku funkcjonalnego,
- student potrafi przygotować moduł testujący w Verilogu i interpretować symulacyjnie uzyskane przebiegi czasowe.

Synteza w oparciu o kod RTL w Verilogu i symulacja po syntezy

Efekty kształcenia:

- student potrafi zapisać w Verilog-u syntezywalny model urządzenia cyfrowego.
- student potrafi w środowisku ISE przeprowadzić syntezę i symulację uzyskanego modelu strukturalnego.

Symulacja i synteza za pomocą języka VHDL

Efekty kształcenia:

- student potrafi zapisać w VHDL-u syntezywalny model urządzenia cyfrowego,
- student potrafi w środowisku ISE przeprowadzić syntezę i symulację uzyskanego modelu strukturalnego.

Implementacja automatu skończonego w układzie Spartan-3AN

Efekty kształcenia:

- student potrafi stworzyć model RTL automatu skończonego, przeprowadzić jego symulacyjną weryfikację, syntezę i implementację w układzie Spartan-3AN, tak by poprawność pracy automatu dała się sprawdzić za pomocą pokrętła, przycisków, przełączników, diod LED dostępnych na module ćwiczeniowym.

Implementacja sterownika wyświetlacza LCD

Efekty kształcenia:

- student potrafi zapisać syntezywalny model sterownika wyświetlacza LCD według zadanych diagramów,
- student potrafi przeprowadzić syntezę i implementację tego urządzenia.

Implementacja modułu asynchronicznej transmisji szeregowej UART

Efekty kształcenia:

- student potrafi zapisać syntezywalny model modułu asynchronicznej transmisji szeregowej UART według zadanych diagramów,
- student potrafi przeprowadzić syntezę i implementację tego urządzenia.

Ćwiczenia projektowe

Projektowanie modułów arytmetycznych

Studenci w dwuosobowych zespołach realizują

Efekty kształcenia:

- student potrafi zinterpretować specyfikację modułu,
- student potrafi przeprowadzić podział potrzebnego sprzętu na część sterującą i ścieżkę danych,
- student potrafi zbudować syntezywalny model i przeprowadzić jego weryfikację i syntezę.

Projekt z układem Spartan-3AN

Studenci w dwuosobowych zespołach realizują projekty. Każdy zespół otrzymuje do wykonania

inny, przydzielony losowo projekt. Punktem wyjścia dla studentów są dostarczone założenia i

wskazówki projektowe. W ramach projektu należy w opraciu o zasoby sprzętowe dostępne na

module ćwiczeniowym z układem Spartan-3AN stworzyć działające urządzenie oraz dokumentację wykonania projektu.

Efekty kształcenia:

- student potrafi zinterpretować specyfikację urządzenia w celu zbudowania go za pomocą dostępnych narzędzi programowych,
- student potrafi efektywnie wykorzystać podstawowe narzędzia projektowe dostępne w środowisku ISE Xilinx do stworzenia prostej aplikacji sprzętowej na module ćwiczeniowym z układem Spartan-3AN,
- student potrafi współpracować w grupie realizując swoją część zadania,
- student potrafi zademonstrować funkcjonalność zbudowanego urządzenia zgodną z zadaną specyfikacją i przygotować dokumentację.

Sposób obliczania oceny końcowej

Ocena końcowa O z modułu obliczana jest jako średnia ważona oceny z kartkówki w laboratorium OL, kolokwium zaliczeniowego OK, i projektu OP:

$$O = 0.3 \cdot OL + 0.35 \cdot OK + 0.35 \cdot OP$$

Wymagania wstępne i dodatkowe

- Znajomość podstaw algebry Boole'a
- Znajomość podstaw elektroniki cyfrowej
- Podstawowa wiedza o strukturze języków programowania
- Przydatna jest znajomość składni języka C

Zalecana literatura i pomoce naukowe

- Materiały z wykładu dostępne na stronie przedmiotu: <http://www.fis.agh.edu.pl/~skoczen/hdl>
- Z. Hajduk, "Wprowadzenie do języka Verilog", Wydawnictwo BTC, 2009
- J. Majewski, P. Zbysiński, "Układy FPGA w przykładach", Wydawnictwo BTC, 2007
- IEEE Standard Verilog Hardware Description Language, IEEE Std 1364-2001, <http://ieeexplore.ieee.org/stamp/stamp.jsp?arnumber=00954909>
- IEEE Standard VHDL Language Reference Manual, IEEE Std 1076-2008, <http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=4772740>

Publikacje naukowe osób prowadzących zajęcia związane z tematyką modułu

J.Steckert, A.Skoczeń "Design of FPGA-based radiation tolerant quench detectors for LHC", 2017 JINST 12 T04005

P. Hottowy, A. Skoczeń, D.E. Gunning, S. Kachiguine, K. Mathieson, A. Sher, P. Wiącek, A.M. Litke, W. Dąbrowski "Properties and application of a multichannel integrated circuit for low-artifact, patterned electrical stimulation of neural tissue", Journal of Neural Engineering 9 (2012), 066005

Informacje dodatkowe

Sposób i tryb wyrównania zaległości powstałych wskutek nieobecności studenta na zajęciach:

Pod koniec semestru przewidziany jest dodatkowy termin ćwiczeń (ogłaszany 2 tygodnie wcześniej na stronie internetowej przedmiotu i przez prowadzących), w którym można wykonać pomiary, których student z przyczyn losowych nie mógł wykonać w pierwotnym terminie. Studenci mogą wówczas odrabiać ćwiczenia po uprzednim uzyskaniu zgody prowadzącego zajęcia w jego grupie oraz odpowiedzi z części teoretycznej, potwierdzonej wpisem do protokołu.

Obecność na wykładzie: zgodnie z Regulaminem Studiów AGH.

Zasady zaliczania zajęć:

W ramach laboratorium komputerowo-elektronicznego studenci pracując w dwuosobowych zespołach wykonują szereg ćwiczeń, które traktowane są jako niezbędne przygotowanie do wykonania projektu. Każde spotkanie w laboratorium rozpoczyna się od krótkiej kartkówki. Ocena, z tych kartkówek OL stanowi pierwszy składnik oceny końcowej O.

Ostatnie spotkanie w laboratorium przeznaczone jest na komputerowe kolokwium zaliczeniowe polegające na samodzielnym zrealizowaniu prostego zadania projektowego. Ocena OK stanowi drugi składnik oceny końcowej O.

Projekt oceniany jest w oparciu o procent zrealizowanych założeń projektowych i/lub ocenę niezawodności działania stworzonego urządzenia. Dodatkowo oceniany jest sposób zaprezentowania informacji technicznych zawartych w opracowanej dokumentacji. Ocena OP stanowi trzeci składnik oceny końcowej O.

Zaliczenie laboratorium komputerowo-elektronicznego wymaga zaliczenia:

- wszystkich kartkówek,
- wszystkich projektów,
- kolokwium zaliczeniowego.

Warunkiem uzyskania zaliczenia z pojedynczego projektu jest:

- pomyślna prezentacja działania układu,
- poprawnie wykonane pomiary,
- zaliczone sprawozdanie - dokumentacja projektu.

Nakład pracy studenta (bilans punktów ECTS)

Forma aktywności studenta	Obciążenie studenta
Udział w wykładach	30 godz
Samodzielne studiowanie tematyki zajęć	40 godz
Udział w ćwiczeniach laboratoryjnych	30 godz
Udział w ćwiczeniach projektowych	15 godz
Egzamin lub kolokwium zaliczeniowe	2 godz
Przygotowanie do zajęć	15 godz
Wykonanie projektu	15 godz
Sumaryczne obciążenie pracą studenta	147 godz
Punkty ECTS za moduł	5 ECTS